

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PATENT  
04103-P0005A WWW/HJP

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants	Jooyoung Yoon, <i>et al.</i>
Serial No. 10/798,998	Filing Date: March 12, 2004
Title of Application:	Method for Forming Pattern in Semiconductor Device
Confirmation No. Pending	Art Unit: Pending

Commissioner for Patents  
Post Office Box 1450  
Alexandria, VA 22313-1450

**Submission of Priority Document**

Dear Sir:

Applicants hereby submit a certified copy of the priority document, Korean Application No. 2003-15557, to perfect Applicants' claim of priority.

Respectfully submitted,

April 8, 2004

*H. J. Park*

Wesley W. Whitmyer, Jr., Reg. No. 33,558  
Hyun Jong Park, Limited Recognition  
Attorneys for Applicants  
ST.ONGE STEWARD JOHNSTON & REENS LLC  
986 Bedford Street  
Stamford, CT 06905-5619  
203 324-6155



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0015557  
Application Number

출원 년 월 일 : 2003년 03월 12일  
Date of Application MAR 12, 2003

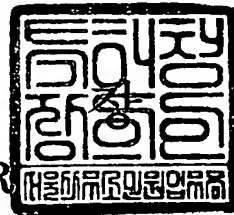
출원인 : 주식회사 테라반도체  
Applicant(s) Terra Semiconductor, Inc.



2004 년 02 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】 특허출원서  
 【권리구분】 특허  
 【수신처】 특허청장  
 【참조번호】 0001  
 【제출일자】 2003.03.12  
 【발명의 명칭】 반도체 장치의 패턴형성방법  
 【발명의 영문명칭】 Method for forming pattern in semiconductor device  
 【출원인】

【명칭】 주식회사 테라반도체

【출원인코드】 1-2003-008398-2

## 【발명자】

【성명의 국문표기】 윤주영

【성명의 영문표기】 YOON, Joo Young

【주민등록번호】 600727-1002127

【우편번호】 137-873

【주소】 서울특별시 서초구 서초3동 1555-7호 CC 하이빌 202호

【국적】 KR

## 【발명자】

【성명의 국문표기】 전성오

【성명의 영문표기】 CHUN, Sung Oh

【주민등록번호】 601117-1001615

【우편번호】 137-780

【주소】 서울특별시 서초구 서초4동 유원아파트 101동 1108호

【국적】 KR

## 【심사청구】

청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 출원인  
 주식회사 테라반도체 (인)

## 【수수료】

【기본출원료】 11 면 39,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 4 항 237,000 원

【합계】	276,000 원
【감면사유】	소기업 (70%감면)
【감면후 수수료】	82,800 원
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류[사업자 등록증 사본]_1통

**【요약서】****【요약】**

본 발명은 한계해상도이하로 패턴간의 간격을 감소시켜 집적도를 향상시킬 수 있는 반도체 장치의 패턴 형성방법에 관한 것이다.

본 발명의 패턴 형성방법은 반도체 기판상에 패터닝하고자 하는 하부막, 제1감광막, 블록킹층 및 제2감광막을 순차 형성하는 단계와; 1차 사진식각공정을 수행하여 상기 제2감광막과 블록킹층을 패터닝하는 단계와; 제2감광막을 제거하는 단계와; 2차 사진식각공정을 수행하여 제2감광막 사이에 노출된 제1감광막을 식각하여 제1감광막으로 된 마스크를 형성하는 단계와; 상기 마스크를 이용하여 상기 하부막을 패터닝하여 한계 해상도 이하의 간격을 구비하는 하부막패턴을 형성하는 단계를 포함한다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

반도체 장치의 패턴형성방법{Method for forming pattern in semiconductor device}

**【도면의 간단한 설명】**

도 1 내지 도 6은 본 발명의 실시예에 따른 반도체 장치의 패턴형성방법을 설명하기 위한 공정단면도,

\*도면의 주요부분에 대한 부호의 설명\*

100 : 반도체 기판

120 : 폴리실리콘막

140 : 캡핑물질

210 : 제1감광막

230 : 블록킹층

250 : 제2감광막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 장치의 미세패턴형성방법에 관한 것으로서, 보다 구체적으로는 게이트와 게이트간의 간격을 해상도 이하로 감소시켜 집적도를 향상시킬 수 있는 반도체 장치의 패턴형성방법에 관한 것이다.

<7> 반도체 제조기술이 발전함에 따라 반도체 장치의 패턴크기가 축소되어 왔다. 하지만, 사진식각공정의 해상도 한계로 인하여, 반도체 메모리장치, 예를 들면 비활성 메모리소자의 게이트와 게이트간의 간격을 일정크기 이하로 축소시키는 것이 불가능하였다.

**【발명이 이루고자 하는 기술적 과제】**

- <8> 본 발명의 목적은 상기한 바와 같은 종래 기술의 문제점을 해결하기 위한 것으로서, 패턴간의 간격을 사진식각공정의 한계 해상도 이하로 감소시켜 집적도를 향상시킬 수 있는 반도체 장치의 패턴형성방법을 제공하는 데 그 목적이 있다.
- <9> 본 발명의 다른 목적은 다층의 포토레지스트막을 사용하여 패턴간의 간격을 최소화시킬 수 있는 반도체 장치의 패턴형성방법을 제공하는 데 그 목적이 있다.

**【발명의 구성 및 작용】**

- <10> 이와 같은 목적을 달성하기 위한 본 발명은 반도체 기판상에 패터닝하고자 하는 하부막, 제1감광막, 블록킹층 및 제2감광막을 순차 형성하는 단계와; 1차 사진식각공정을 수행하여 상기 제2감광막과 블록킹층을 패터닝하는 단계와; 제2감광막을 제거하는 단계와; 2차 사진식각공정을 수행하여 제2감광막 사이에 노출된 제1감광막을 식각하여 제1감광막으로 된 마스크를 형성하는 단계와; 상기 마스크를 이용하여 상기 하부막을 패터닝하여 한계 해상도 이하의 간격을 구비하는 하부막패턴을 형성하는 단계를 포함하는 반도체 장치의 패턴형성방법을 제공하는 것을 특징으로 한다.
- <11> 상기 제1 및 제2감광막은 포지티브 포토레지스트이며, 상기 블록킹층은 제2사진식각공정시 마스크로 작용하고, 산화막 또는 비반사막 등과 같은 절연막으로 이루어지는 것을 특징으로 한다.
- <12> 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명의 실시예를 첨부도면을 참조하여 상세히 설명한다.



- <13> 도 1 내지 도 6은 본 발명의 실시예에 따른 반도체 장치의 패턴형성방법을 설명하기 위한 공정단면도를 도시한 것이다. 본 발명의 실시예에 따른 반도체 장치는 다수의 패턴이 반복 배열되는 구조, 예를 들면 불활성 메모리소자와 같이 반도체 기판상에 다수의 게이트가 반복 배열되는 구조에서 게이트간의 패턴간격을 한계해상도 이하로 감소시킬 수 있는 패턴 형성방법에 관한 것이다.
- <14> 도 1을 참조하면, 반도체 기판(100)상에 게이트전극물질(120), 예를 들어 폴리실리콘막을 형성하고, 상기 폴리실리콘막(120)상에 게이트 캡핑물질(140)로서 산화막과 같은 절연막을 증착한다.
- <15> 이어서, 상기 게이트 캡핑물질(140)상에 제1감광막(210), 블록킹층(230) 및 제2감광막(250)을 순차 적층한다. 이때, 블록킹층(230)으로 산화막 또는 비반사막 등과 같은 절연막을 사용한다. 이때, 제1 및 제2감광막(210), (250)은 포지티브 레지스트를 사용한다.
- <16> 도 2를 참조하면, 게이트 형성용 제1마스크(도면상에는 도시되지 않음)를 이용하여 사진식각공정을 수행하여, 상기 제2감광막(250)을 식각하여 제2감광막 패턴(255)을 형성한다. 이때, 상기 제2감광막패턴(255)은 다수의 게이트전극중 홀수번째의 게이트 전극이 형성될 부분에만 형성된다. 이때, 제2감광막 패턴(255)간의 간격(S1)은 제2감광막패턴(255)의 폭(W1), 즉 후속공정에서 형성될 게이트전극의 폭보다는 크게 형성되어진다.
- <17> 도3을 참조하면, 상기 제2감광막 패턴(255)을 마스크로 하여 그 하부의 블록킹층(230)을 식각하여 블록킹패턴(235)을 형성한다. 이때, 블록킹패턴(235)은 다수의 게이트전극중 홀수번째의 게이트전극이 형성될 부분에 형성되어진다. 본 발명의 실시예에서, 상기 블록킹층(230)으로 산화막을 사용하는 경우에는 도 3에 도시된 바와같이 제2감광막 패턴(255)을 마스크로 하여 블록킹층(230)을 패터닝하는 공정이 필요하지만, 상기 블록킹층(230)으로 비반사막을 사용하

는 경우에는 도 2의 제2감광막(250)을 패터닝하는 공정에서 블록킹층(230)도 함께 식각되므로 도 3의 공정은 생략될 수 있다.

<18> 도 4와 같이, 제2감광막패턴(255)을 제거한 다음, 게이트 형성용 제2마스크(도면상에는 도시되지 않음)를 이용하여 사진식각공정을 진행하고, 도 5와 같이 블록킹 패턴(235)을 제거하면 게이트 형성용 마스크(215)가 형성된다. 상기 마스크(215)는 상기 제1감광막(210)중 노출된 부분이 식각되어 형성되는 제1감광막패턴(215a)과 블록킹패턴(235)하부에 형성되는 제1감광막패턴(215b)으로 이루어진다.

<19> 이때, 상기 제1감광막(210)은 블록킹패턴(235)사이의 노출된 부분이 식각되어 다수의 게이트 전극중 짝수번째 게이트 전극이 형성될 부분에만 상기 제1감광막패턴(215a)이 남도록 패터닝됨과 동시에, 블록킹패턴(235)이 마스크로 작용하여 그 하부의 상기 다수의 게이트전극중 홀수번째 게이트 전극이 형성될 부분에만 상기 제1감광막패턴(215b)이 남도록 패터닝된다. 즉, 마스크(215)는 다수의 게이트전극 중 홀수번째 게이트 전극이 형성될 부분에 형성된 제1감광막패턴(215a)과 짝수번째 게이트 전극이 형성될 부분에 형성된 제2감광막패턴(215b)으로 이루어진다.

<20> 이때, 제2마스크는 제1마스크와는 다른 마스크를 사용하거나 또는 제1마스크를 그대로 사용할 수도 있으며, 제1감광막패턴(215a)의 폭(W2)과 제1감광막패턴(215b)의 폭(W1)은 동일한 폭을 갖으며, 제1 및 제2감광막패턴(215a), (215b)사이의 간격(S2)은 상기 제1감광막패턴(215a), (215b)의 폭보다 작다.

<21> 도 6을 참조하면, 상기 제1감광막 패턴(215a), (215b)로 이루어진 마스크(215)를 이용하여 그 하부의 캡핑물질(130)과 게이트 전극물질(110)을 식각하면, 한계 해상도 이하의 간격을 구비하며, 그의 상부에 캡핑층(135)을 구비하는 다수의 게이트전극(115)이 형성된다. 상기 다

수의 게이트전극(115)은 제1감광막 패턴(215a)에 의해 형성되는 짝수번째 게이트전극(115a)와 제1감광막패턴(215b)에 의해 형성되는 홀수번째 게이트전극(115b)으로 이루어진다.

<22> 본 발명의 실시예는 게이트 전극간의 간격을 한계해상도이하로 패터닝하는 방법에 대하여 예시하였으나, 패턴간의 간격을 한계해상도이하로 패터닝하는 방법에는 모두 적용가능하다.

**【발명의 효과】**

<23> 상기한 바와같은 본 발명에 따르면, 다층의 포토레지스트막을 사용하여 한계해상도 이하의 간격을 구비하는 다수의 게이트전극을 형성할 수 있으며, 이에 따라 집적도를 향상시킬 수 있는 이점이 있다.

<24> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

반도체 기판상에 패터닝하고자 하는 하부막, 제1감광막, 블록킹층 및 제2감광막을 순차 형성하는 단계와;

1 차 사진식각공정을 수행하여 상기 제2감광막과 블록킹층을 패터닝하는 단계와;

제2감광막을 제거하는 단계와;

2 차 사진식각공정을 수행하여 제2감광막 사이에 노출된 제1감광막을 식각하여 제1감광막으로 된 마스크를 형성하는 단계와;

상기 마스크를 이용하여 상기 하부막을 패터닝하여 한계 해상도 이하의 간격을 구비하는 하부막패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 패턴형성방법 .

**【청구항 2】**

제 1 항에 있어서, 상기 제1 및 제2감광막은 포지티브 포토레지스트인 것을 특징으로 하는 반도체 장치의 패턴형성방법.

**【청구항 3】**

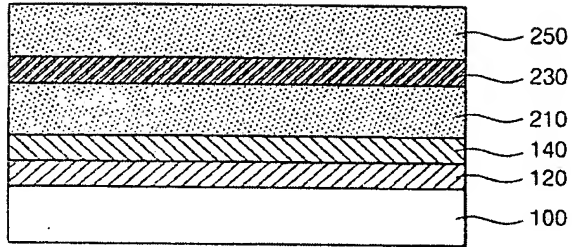
제 1 항에 있어서, 상기 블록킹층은 제2사진식각공정시 마스크로 작용하는 것을 특징으로 하는 반도체 장치의 패턴형성방법.

**【청구항 4】**

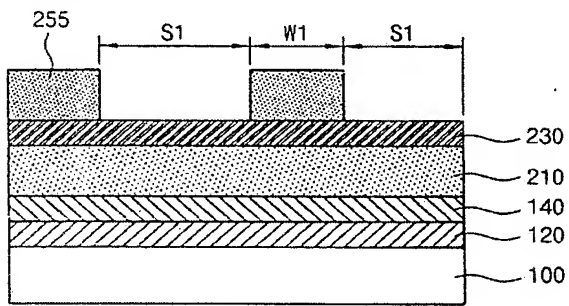
제 1 항에 있어서, 상기 블록킹층은 산화막 또는 비반사막 등과 같은 절연막으로 이루어지는 것을 특징으로 하는 반도체 장치의 패턴형성방법.

【도면】

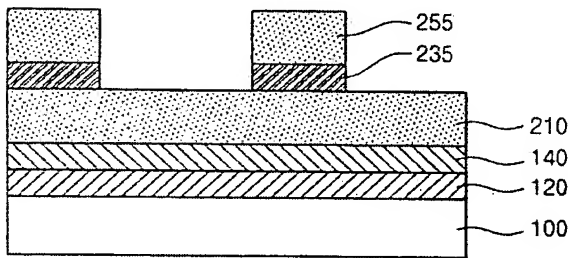
【도 1】



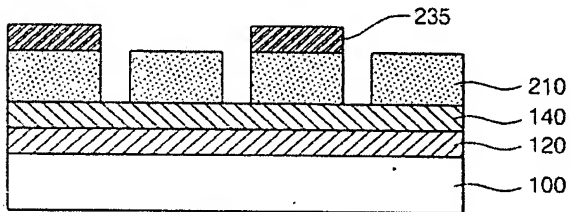
【도 2】



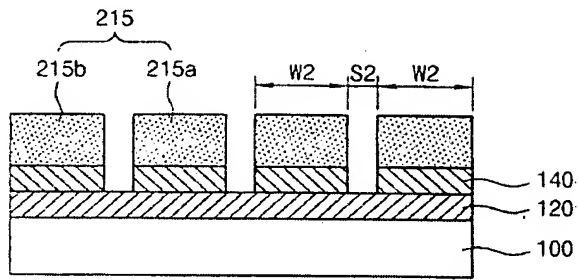
【도 3】



【도 4】



【도 5】



【도 6】

